

**Partial translation of Japanese Unexamined Patent Publication  
No. 9-148564**

[0050]

5           Although a polycrystalline silicon film is used as  
the first gate electrode material of the MOS transistor, a film  
of a refractory metal or its silicide may also be used to form  
the first gate electrode. Furthermore, a polycrystalline  
silicon germanium film may be used as the second gate electrode  
10 material.

## PATENT ABSTRACTS OF JAPAN

(11)Publication number : 09-148564

(43)Date of publication of application : 06.06.1997

(51)Int.Cl.

H01L 29/78

(21)Application number : 07-305343

(71)Applicant : NEC CORP

(22)Date of filing : 24.11.1995

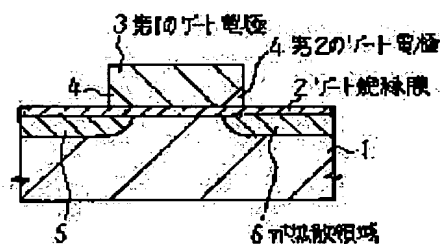
(72)Inventor : OOISHI MITSUMASA

## (54) SEMICONDUCTOR DEVICE AND ITS MANUFACTURE

## (57)Abstract:

PROBLEM TO BE SOLVED: To restrain a tunnel between bands and reduce a leak current, when an MOS transistor constituting a semiconductor device is very fined.

SOLUTION: In an insulated gate field effect transistor, a gate electrode is constituted of a first gate electrode 3 and a second gate electrode 4 which are electrically continuous. The first electrode 3 exists on a channel part, via an gate insulating film 2. The second gate electrode 4 exists on source.drain regions, via the insulating film 2. The second gate electrode 2 is constituted of a polycrystalline semiconductor film whose conductivity type is opposite to that of the source.drain regions.



## LEGAL STATUS

[Date of request for examination] 24.11.1995

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number] 2904081

[Date of registration] 26.03.1999

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平9-148564

(43) 公開日 平成9年(1997)6月6日

(51) Int.Cl.<sup>8</sup>

H 0 1 L 29/78

識別記号

庁内整理番号

F I

H 0 1 L 29/78

技術表示箇所

3 0 1 G

審査請求 有 請求項の数 5 O L (全 8 頁)

(21) 出願番号 特願平7-305343

(22) 出願日 平成7年(1995)11月24日

(71) 出願人 000004237

日本電気株式会社

東京都港区芝五丁目7番1号

(72) 発明者 大石 三▲真▼

東京都港区芝五丁目7番1号 日本電気株式会社内

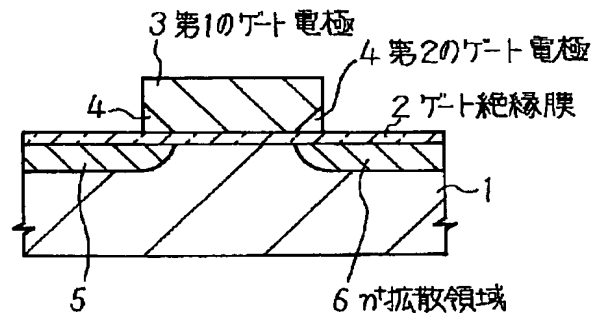
(74) 代理人 弁理士 京本 直樹 (外2名)

(54) 【発明の名称】 半導体装置およびその製造方法

(57) 【要約】

【課題】半導体装置を構成するMOSトランジスタが超微細化した場合でも、バンド間トンネルを抑制しリーク電流を減少させる。

【解決手段】絶縁ゲート電界効果トランジスタにおいて、ゲート電極が互いに導通のとれた第1のゲート電極と第2のゲート電極とで構成され、前記第1のゲート電極はゲート絶縁膜を介してチャネル部の上に存在し、前記第2のゲート電極は絶縁膜を介してソース・ドレイン領域の上に存在し、前記第2のゲート電極が、前記ソース・ドレイン領域の導電型とは逆の導電型の多結晶半導体膜で形成される。



## 【特許請求の範囲】

【請求項 1】 絶縁ゲート電界効果トランジスタにおいて、ゲート電極が互いに導通のとれた第 1 のゲート電極と第 2 のゲート電極とで構成され、前記第 1 のゲート電極はゲート絶縁膜を介してチャンネル部の上に存在し、前記第 2 のゲート電極は絶縁膜を介してソース・ドレイン領域の上に存在し、前記第 2 のゲート電極が、前記ソース・ドレイン領域の導電型とは逆の導電型の多結晶半導体膜で形成されていることを特徴とする半導体装置。

【請求項 2】 前記第 1 のゲート電極と前記第 2 のゲート電極を被覆しこれらのゲート電極に導通した第 3 のゲート電極が存在することを特徴とする請求項 1 記載の半導体装置。

【請求項 3】 前記多結晶半導体膜が多結晶シリコン膜あるいは多結晶シリコン・ゲルマニウム膜であることを特徴とする請求項 1 または請求項 2 記載の半導体装置。

【請求項 4】 前記絶縁膜がゲート絶縁膜であることを特徴とする請求項 1、請求項 2 または請求項 3 記載の半導体装置。

【請求項 5】 半導体基板の表面にゲート絶縁膜を形成する工程と、前記ゲート絶縁膜を被覆する一導電型の多結晶シリコン膜を形成する工程と、前記多結晶シリコン膜上部に保護絶縁膜とを堆積させる工程と、前記保護絶縁膜をゲート電極のパターン形状に加工する工程と、前記パターニングされた保護絶縁膜をマスクにして逆導電型の不純物を前記多結晶シリコン膜に選択的に導入し逆導電型に変換する工程と、前記パターニングされた保護絶縁膜をエッチング用マスクにして前記多結晶シリコン膜を前記ゲート電極のパターン形状に加工する工程と、前記パターニングされた保護絶縁膜および多結晶シリコン膜をマスクにして前記半導体基板の表面に一導電型の不純物を導入しソース・ドレイン領域を形成すると共に前記逆導電型の多結晶シリコン膜と前記ソース・ドレイン領域とを前記ゲート絶縁膜を介してオーバーラップさせる工程と、を含むことを特徴とする半導体装置の製造方法。

## 【発明の詳細な説明】

## 【0001】

【発明の属する技術分野】 本発明は半導体装置およびその製造方法に関し、特に絶縁ゲート電界効果トランジスタのゲート電極構造とその形成方法に関する。

## 【0002】

【従来の技術】 従来の LDD (Lightly Doped Drain) 構造のソース・ドレインを有する絶縁ゲート電界効果トランジスタ (以下、MOS トランジスタと呼称する) において、ゲートがオフの状態 (MOS トランジスタが非導通の状態) で起こるゲート電極下のドレイン領域の表面反転層の形成およびそれに起因する価電子帯と伝導帯との間での電子のハンド間トンネル現象によるリーク電流を防止する方法として、ゲート電

極の仕事関数を変化させる手法が特開平 1-264264 号公報で提案されている。この方法では、MOS トランジスタのチャンネル領域をゲート絶縁膜を介して被覆するゲート電極とソース・ドレイン領域をゲート絶縁膜を介して被覆するゲート電極とが異種の導電体材で構成される。ここで、これらの異種の導電体材の仕事関数が互いに異なるように選択される。

【0003】 以下、特開平 1-264264 号公報に記載されている技術について、図面を参照して説明する。図 6 は、このような従来の技術を適用した n チャンネル MOS トランジスタの断面図である。

【0004】 図 6 に示すように、導電型が P 型のシリコン基板 101 の表面に、熱酸化法で 10 nm 程度のシリコン酸化膜でゲート絶縁膜 102 が形成されている。そして、第 1 のゲート電極 103 がタングステンあるいはモリブデン等で形成される。さらに、第 2 のゲート電極 104 が第 1 のゲート電極 103 の側壁部に形成されている。ここで、この第 2 のゲート電極 104 は、リン不純物を含有する導電型が N 型の多結晶シリコンで構成される。

【0005】 そして、ソース・ドレインの一部を形成する n<sup>-</sup> 拡散領域 105 が、ゲート絶縁膜 102 を介して第 2 のゲート電極 104 の下部のシリコン基板 101 表面に形成される。さらに、n<sup>+</sup> 拡散領域 106 が形成されて MOS トランジスタのソース・ドレイン領域が形成される。

【0006】 ここで、第 2 のゲート電極 104 には、その仕事関数が第 1 のゲート電極 103 の仕事関数より小さくなるような導電体材料が選択される。

【0007】 上記の場合では、フェルミ準位がシリコン基板のバンドギャップの中間領域に位置する第 1 のゲート電極 103 が MOS トランジスタのチャンネル領域上を被覆し、フェルミ準位が伝導帯に近いレベルとなる第 2 のゲート電極 104 が MOS トランジスタのソース・ドレイン上を被覆するようになる。すなわち、第 2 のゲート電極 104 の仕事関数が第 1 のゲート電極 103 のそれより小さくなるように設定されている。このようにすることで、MOS トランジスタのゲートがオフ状態での n<sup>-</sup> 拡散領域 105 表面のバンドの曲り (以下、バンド・ベンディングと呼称する) 量は緩和され、先述したバンド間のトンネルによるリーク電流が低減される。

【0008】 これに対し、MOS トランジスタが p チャンネル型の場合には、ソース・ドレインの拡散領域の導電型は P 型になるので、第 1 のゲート電極に対し、第 2 のゲート電極は導電型が P 型の多結晶シリコンのような仕事関数の大きな導電体材料が選択されることになる。

## 【0009】

【発明が解決しようとする課題】 しかし、半導体装置が高集積化され、例えば 256 メガビット DRAM のようになると、使用される MOS トランジスタのゲート絶縁

膜の膜厚は6 nm程度になる。そして、例えば、nチャネルMOSトランジスタの場合でゲートがオフ状態の場合すなわちゲート電極に0 Vが印加され、ドレインに3 V程度の電圧が印加されると、この電圧3 Vは、そのままソース・ドレインの拡散領域の表面に印加されることになる。そして、この電圧で拡散領域表面のバンド・ベンディングが生じ易くなり、バンド間のトンネル電流が増加する。これは、ゲート絶縁膜による容量とバンド・ベンディング部の容量との比較でゲート絶縁膜による容量の方が大きくなると、これらを直列にして印加される電圧は容量分割によりバンド・ベンディングの方にほとんど食われるようになるためである。

【0010】このように、MOSトランジスタが超微細化していくと、従来の技術ではこのようなバンド間トンネルの防止は困難になる。

【0011】本発明の目的は、このようにMOSトランジスタが超微細化した場合でも、このバンド間トンネルを抑制できるようにすることにある。

【0012】

【課題を解決するための手段】このために本発明の半導体装置の絶縁ゲート電界効果トランジスタにおいて、ゲート電極が互いに導通のとれた第1のゲート電極と第2のゲート電極とで構成され、前記第1のゲート電極はゲート絶縁膜を介してチャンネル部の上に存在し、前記第2のゲート電極は絶縁膜を介してソース・ドレイン領域の上に存在し、前記第2のゲート電極が、前記ソース・ドレイン領域の導電型とは逆の導電型の多結晶半導体膜で形成される。

【0013】あるいは、本発明の半導体装置においては、前記第1のゲート電極と前記第2のゲート電極を被覆しこれらのゲート電極に導通した第3のゲート電極が存在する。

【0014】ここで、前記多結晶半導体膜が多結晶シリコン膜あるいは多結晶シリコン・ゲルマニウム膜である。

【0015】また、前記絶縁膜がゲート絶縁膜である。

【0016】また、本発明の半導体装置の製造方法は、半導体基板の表面にゲート絶縁膜を形成する工程と、前記ゲート絶縁膜を被覆する一導電型の多結晶シリコン膜を形成する工程と、前記多結晶シリコン膜上部に保護絶縁膜とを堆積させる工程と、前記保護絶縁膜をゲート電極のパターン形状に加工する工程と、前記パターンニングされた保護絶縁膜をマスクにして逆導電型の不純物を前記多結晶シリコン膜に選択的に導入し逆導電型に変換する工程と、前記パターンニングされた保護絶縁膜をエッチング用マスクにして前記多結晶シリコン膜を前記ゲート電極のパターン形状に加工する工程と、前記パターンニングされた保護絶縁膜および多結晶シリコン膜をマスクにして前記半導体基板の表面に一導電型の不純物を導入しソース・ドレイン領域を形成すると共に前記逆導電型の

多結晶シリコン膜と前記ソース・ドレイン領域とを前記ゲート絶縁膜を介してオーバーラップさせる工程と、を含むようになる。

【0017】

【発明の実施の形態】次に、図面を参照して本発明の実施の形態を説明する。図1は、本発明の第1の実施の形態を説明するためのnチャネルMOSトランジスタの断面図である。図1に示すように、導電型がP型のシリコン基板1の表面にゲート絶縁膜2が形成されている。そして、このゲート絶縁膜2上に第1のゲート電極3と第2のゲート電極4とが形成されている。ここで、第1のゲート電極3はリン不純物を含有する多結晶シリコン膜で構成されている。また、第2のゲート電極はホウ素不純物を含有する多結晶シリコン膜で構成されている。そして、このリン不純物の含有量は $10^{19}$  原子/cm<sup>3</sup>程度であり、ホウ素不純物の含有量は $10^{18}$  原子/cm<sup>3</sup>程度である。なお、ここで、リン不純物の代わりにヒ素不純物が用いられてもよい。

【0018】そして、MOSトランジスタのソース・ドレインとなるn<sup>+</sup> 拡散領域5および6が、図1に示すように形成されている。すなわち、n<sup>+</sup> 拡散領域5および6とゲート電極すなわち第2のゲート電極4とが、ゲート絶縁膜2を介して互いにオーバーラップする。そして、このn<sup>+</sup> 拡散領域5および6は、第1のゲート電極3とはオーバーラップしないように形成されている。ここで、n<sup>+</sup> 拡散領域のヒ素不純物の含有量は $10^{20}$  原子/cm<sup>3</sup>程度に設定されている。なお、このソース・ドレイン用の拡散領域はLDD構造でもよい。

【0019】次に、図2に基づいて上記第1の実施の形態の構造の製造方法を説明する。ここで、図2は、この第1の実施の形態のMOSトランジスタの製造工程順の断面図である。

【0020】図2(a)に示すように、導電型がP型のシリコン基板1の表面に素子間分離領域がフィールド酸化膜(図示されず)で形成されて、シリコン基板1の活性領域となる表面にゲート絶縁膜2が設けられる。ここで、このゲート絶縁膜2は、公知の熱酸化法で形成される膜厚が6 nm程度のシリコン酸化膜を熱窒化して形成されるSiON絶縁膜である。あるいは、このゲート絶縁膜2は、亜酸化窒素のような窒素を含む雰囲気ガス中で熱酸化されることで形成されるSiON絶縁膜である。

【0021】次に、ゲート絶縁膜2を被覆するN型多結晶シリコン膜3'が公知の化学気相成長(CVD)法で堆積される。ここで、このN型多結晶シリコン膜3'の膜厚は200 nm程度に設定される。また、このN型多結晶シリコン膜3'中には、リン不純物が $1 \times 10^{19}$  原子/cm<sup>3</sup>程度の濃度で含有される。

【0022】次に、このN型多結晶シリコン膜3'の表面に、MOSトランジスタのゲート電極のパターン形状

になった保護絶縁膜7が設けられる。ここで、この保護絶縁膜7はCVD法で形成されるシリコン酸化膜であり、その膜厚は300nm程度に設定されている。また、このパターン寸法はゲート電極の寸法であり0.3μm程度に設定される。

【0023】次に、図2(b)に示すように、保護絶縁膜7の側壁にサイドウォール絶縁膜8が形成される。ここで、このサイドウォール絶縁膜8は膜厚が100nm程度のシリコン窒化膜で構成される。このサイドウォール絶縁膜8の形成は、初めにCVD法で膜厚が120nm程度のシリコン窒化膜が堆積され、引続いて異方性のある反応性イオンエッチング(RIE)法でシリコン窒化膜が全面エッチングされて行われる。

【0024】次に、図2(c)に示すように、ボロンイオン9がイオン注入される。ここで、このボロンイオン9は斜めイオン注入でありその傾斜角度は45度程度に設定される。また、このイオン注入の注入エネルギーは50~100keVに、ドーズ量は $3 \times 10^{14}$ イオン/cm<sup>2</sup>程度にそれぞれ設定される。なお、このイオン注入でのボロンイオンの飛程は200nm程度であり、このイオンはゲート絶縁膜2の近傍まで達する。そして、さらに熱処理が加えられる。このようにして、P型多結晶シリコン膜4'が形成される。

【0025】このP型多結晶シリコン膜4'には、先述した $1 \times 10^{19}$ 原子/cm<sup>3</sup>のリン不純物と $1.5 \times 10^{19}$ 原子/cm<sup>3</sup>のホウ素不純物とが混入し、見掛け上 $5 \times 10^{18}$ 原子/cm<sup>3</sup>のP型不純物が含有されることになる。

【0026】次に、サイドウォール絶縁膜8が選択的にエッチング除去される。このエッチングはホットリン酸等の化学薬液で行われる。そして、保護絶縁膜7をエッチングマスクにして、先述したN型多結晶シリコン膜3'およびP型多結晶シリコン膜4'がRIEでドライエッチングされる。

【0027】このようにして、図2(d)に示すように、先述したN型多結晶シリコン膜3'の領域に第1のゲート電極3が形成され、P型多結晶シリコン膜4'の領域に第2のゲート電極4が形成されるようになる。

【0028】次に、全面にヒ素不純物のイオン注入がなされ熱処理が施されて、n<sup>+</sup>拡散領域5および6が形成される。ここで、n<sup>+</sup>拡散領域5および6はゲート絶縁膜2を介して第2のゲート電極4とオーバーラップする。

【0029】最後に保護絶縁膜7が除去されて、図1で説明した本発明の構造を有するMOSトランジスタが完成する。

【0030】次に、図3を参照して本発明の第2の実施の形態について説明する。図3は、第1の実施の形態で説明したのと同様のnチャネルMOSトランジスタの断面図である。

【0031】図3に示すように、導電型がP型のシリコ

ン基板1の表面にゲート絶縁膜2が形成されている。そして、このゲート絶縁膜2上に第1のゲート電極3と第2のゲート電極4とが形成されている。ここで、第1のゲート電極3はリン不純物を含有する多結晶シリコン膜で構成されている。また、第2のゲート電極はホウ素不純物を含有する多結晶シリコン膜で構成されている。そして、この場合には、第2のゲート電極4は第1のゲート電極3の側壁に沿って形成される。ここで、リン不純物の含有量は $10^{20}$ 原子/cm<sup>3</sup>程度であり、ホウ素不純物の含有量は $10^{18}$ 原子/cm<sup>3</sup>程度である。

【0032】そして、この第1のゲート電極3および第2のゲート電極4に電氣的に接続する第3のゲート電極10が形成されている。ここで、この第3のゲート電極10はタングステンシリサイドあるいはチタンシリサイドのような高融点金属シリサイド膜で形成される。

【0033】そして、MOSトランジスタのソース・ドレインとなるn<sup>+</sup>拡散領域5および6が、第1の実施の形態で説明したように形成されている。すなわち、n<sup>+</sup>拡散領域5および6とゲート電極すなわち第2のゲート電極4とが、ゲート絶縁膜2を介して互いにオーバーラップする。そして、このn<sup>+</sup>拡散領域5および6は、第1のゲート電極3とはオーバーラップしないように形成されている。ここで、n<sup>+</sup>拡散領域のヒ素不純物の含有量は $10^{20}$ 原子/cm<sup>3</sup>程度に設定されている。

【0034】次に、図4に基づいてこの第2の実施の形態の構造の製造方法を説明する。ここで、図4は、この第1の実施の形態のMOSトランジスタの製造工程順の断面図である。

【0035】図4(a)に示すように、第1の実施の形態で説明したのと同様にして、P型のシリコン基板1の表面に素子間分離領域がフィールド酸化膜で形成されて、シリコン基板1の活性領域となる表面にゲート絶縁膜2が設けられる。ここで、このゲート絶縁膜2は、膜厚が6nm程度のSiON絶縁膜である。

【0036】次に、ゲート絶縁膜2を被覆するN型多結晶シリコン膜3'がCVD法で堆積される。ここで、このN型多結晶シリコン膜3'の膜厚は150nm程度に設定される。また、このN型多結晶シリコン膜3'中には、リン不純物が $1 \times 10^{20}$ 原子/cm<sup>3</sup>程度の濃度で含有される。

【0037】次に、このN型多結晶シリコン膜3'の表面に、MOSトランジスタのゲート電極のパターン形状になった第3のゲート電極10と保護絶縁膜7とが積層して設けられる。ここで、この第3のゲート電極10はチタンシリサイド層であり、保護絶縁膜7はCVD法で形成されるシリコン酸化膜である。そして、この第3のゲート電極10の膜厚は150nmに、保護絶縁膜の膜厚は300nm程度にそれぞれ設定されている。また、このパターン寸法は0.3μm程度に設定される。

【0038】次に、二弗化ボロンイオン11がイオン注

入され、ホウ素不純物注入層 12 が形成される。ここで、このイオン注入の注入エネルギーは  $50 \text{ keV}$  であり、そのドーズ量は  $2 \times 10^{15} \text{ イオン/cm}^2$  である。そして、温度が  $800^\circ\text{C}$  程度の熱処理が施され、図 4 (b) に示すような P 型多結晶シリコン膜 4' が形成される。この場合に、この P 型多結晶シリコン膜 4' と第 3 のゲート電極 10 とのオーバーラップする領域の寸法は  $0.1 \mu\text{m}$  である。また、リン不純物とホウ素不純物とが混合した後の見掛け上のホウ素不純物の量は  $5 \times 10^{18} \text{ 原子/cm}^3$  になるように設定される。

【0039】次に、図 4 (c) に示すように、保護絶縁膜 7 および第 3 のゲート電極 10 をエッチングのマスクにして、P 型多結晶シリコン膜 4' が RIE でドライエッチングされる。このようにして、先述した N 型多結晶シリコン膜 3' の領域に第 1 のゲート電極 3 が形成され、P 型多結晶シリコン膜 4' の領域に第 2 のゲート電極 4 が形成されるようになる。

【0040】次に、全面にヒ素不純物のイオン注入がなされ熱処理が施されて、 $n^+$  拡散領域 5 および 6 が形成される。最後に保護絶縁膜 7 が除去されて、図 3 で説明した本発明の構造を有する MOS トランジスタが完成する。

【0041】次に、図 5 を参照して本発明の効果について詳細に説明する。図 5 (a) は、本発明の MOS トランジスタを拡大したところの断面図であり、図 5 (b) は、図 5 (a) に記した A-B 間のエネルギーバンド構造を示す。なお、図 5 (c) は、従来の MOS トランジスタの場合の同様のエネルギーバンド構造である。

【0042】図 5 (a) に示すように、導電型が P 型のシリコン基板 1 の表面に  $n$  チャネル MOS トランジスタのゲート絶縁膜 2、第 1 のゲート電極 3、第 2 のゲート電極 4、 $n^+$  拡散領域 5 および 6 が形成されている。ここで、 $n^+$  拡散領域 5 はソース領域となり、 $n^+$  拡散領域 6 はドレイン領域となる。

【0043】ここで、このような MOS トランジスタの第 1 のゲート電極 3 および第 2 のゲート電極 4、 $n^+$  拡散領域 5、シリコン基板 1 が接地電位にされ、 $n^+$  拡散領域 6 に  $3 \text{ V}$  程度の正電圧が印加されている場合について説明する。この場合が先述した MOS トランジスタのオフ状態である。

【0044】上記のように MOS トランジスタに電圧が印加されると、第 1 のゲート電極 3 および第 2 のゲート電極 4 とドレイン領域である  $n^+$  拡散領域 6 との間に  $3 \text{ V}$  程度の電圧が印加されることになる。このため、P 型多結晶シリコンで構成される第 2 のゲート電極 4 には空乏領域 4a が形成されるようになる。また、N 型多結晶シリコンで形成される第 1 のゲート電極 3 と上記第 2 のゲート電極 4 間に形成される PN 接合は順方向に印加される。このようにして、第 1 のゲート電極 3 と  $n^+$  拡散領域 6 間の電圧は、そのほとんどが空乏領域 4a に印加

されることになる。

【0045】この様子を図 5 (b) で説明する。図 5 (b) に示すように、第 2 のゲート電極 4 のエネルギーバンド 24 は、空乏領域 4a で電子エネルギーが下がりエネルギーバンド 24a となる。そして、ゲート絶縁膜 2 のエネルギーバンド 22 は僅かに右下がりになる。そして、 $n^+$  拡散領域 6 の表面のバンド・ベンディングによる僅かな右下がりの  $n^+$  拡散領域 6 表面のエネルギーバンド 26a が形成される。そして、 $n^+$  拡散領域 6 のエネルギーバンド 26 と電子エネルギーの高いシリコン基板 1 のエネルギーバンド 21 が形成される。

【0046】先述したように、MOS トランジスタの微細化と共にゲート絶縁膜 2 は薄膜化され、 $n^+$  拡散領域 6 の不純物は高濃度化される。そして、ゲート絶縁膜 2 で形成される容量およびバンド・ベンディングした領域に形成される容量は増大する。このため、空乏領域 4a に形成される容量は相対的に小さくなるので、これらが直列接続されると、電圧の降下は空乏領域 4a で生じるようになる。そして、先述した空乏領域のエネルギーバンド 24a の曲りが大きくなり、バンド・ベンディング量が小さくなる。

【0047】このようにして、本発明では、上記バンド・ベンディング量が低減されて、電子のバンド間トンネル現象が防止されるようになる。

【0048】これに対し比較のため、従来の技術の場合を図 5 (c) で説明する。この場合には、ゲート電極に本発明のような空乏領域が形成されないため、ゲート電極のエネルギーバンド 24 に曲りは無い。このために、図 5 (c) に示すように  $n^+$  拡散領域 6 表面のエネルギーバンド 26a の変化が大きくなる。すなわち、バンド・ベンディング量が増大するようになる。そして、このバンド・ベンディング部の電子の伝導帯から価電子帯へのバンド間トンネル現象が顕著になる。

【0049】以上の実施の形態では、 $n$  チャネル MOS トランジスタの場合について説明されているが、 $p$  チャネル MOS トランジスタでもその導電型を逆にすることで同様に形成されることに言及しておく。

【0050】また、MOS トランジスタの第 1 のゲート電極材料として多結晶シリコン膜が用いられているが、この他、高融点金属あるいはそのシリサイド膜でも同様に形成できる。さらに、第 2 のゲート電極材料として多結晶のシリコン・ゲルマニウム膜でもよい。

【0051】本発明の MOS トランジスタにおいては、第 2 のゲート電極とソース・ドレイン領域とはゲート絶縁膜を介してオーバーラップしてもよいし、その他のゲート絶縁膜より膜厚の厚い絶縁膜を介してオーバーラップしてもよい。

【0052】ここで、第 2 のゲート電極とチャネル領域とはオーバーラップしないように形成される。このようなオーバーラップがあると、MOS トランジスタのしきい値



電圧が高くなり、設定値からはずれるようになるためである。

#### 【0053】

【発明の効果】本発明の半導体装置では、絶縁ゲート電界効果トランジスタにおいて、ゲート電極が互いに導通のとれた第1のゲート電極と第2のゲート電極とで構成され、前記第1のゲート電極はゲート絶縁膜を介してチャンネル部の上に存在し、前記第2のゲート電極は絶縁膜を介してソース・ドレイン領域の上に存在し、前記第2のゲート電極が、前記ソース・ドレイン領域の導電型と

は逆の導電型の多結晶半導体膜で形成される。

【0054】ここで、絶縁ゲート電界効果トランジスタがオフ状態になるように、ゲート電極とドレイン領域間に電圧が印加される場合、第2のゲート電極に空乏領域が形成され、この空乏領域に上記電圧のほとんどが印加されるようになる。

【0055】このために、前述したように、ドレイン領域でのバンド・ベンディングによるバンド間トンネル現象は解消される。そして、ドレイン領域でのリーク電流は大幅に低減されるようになる。

【0056】このようにして、絶縁ゲート電界効果トランジスタの微細化および半導体装置の高密度化あるいは高集積化を容易にする。

#### 【図面の簡単な説明】

【図1】本発明の第1の実施の形態を説明するMOSFETの断面図である。

【図2】上記MOSFETの製造工程順の断面図であ

る。

【図3】本発明の第2の実施の形態を説明するMOSFETの断面図である。

【図4】上記MOSFETの製造工程順の断面図である。

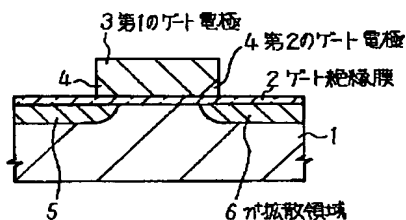
【図5】本発明の効果を説明するための断面図及びバンドダイヤグラムである。

【図6】従来を技術を説明するためのMOSFETの断面図である。

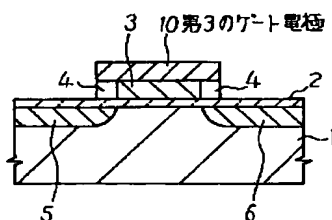
#### 【符号の説明】

- |                          |                     |
|--------------------------|---------------------|
| 1, 101                   | シリコン基板              |
| 2, 102                   | ゲート絶縁膜              |
| 3, 103                   | 第1のゲート電極            |
| 3'                       | N型多結晶シリコン膜          |
| 4, 104                   | 第2のゲート電極            |
| 4a                       | 空乏領域                |
| 4'                       | P型多結晶シリコン膜          |
| 5, 6, 106                | n <sup>+</sup> 拡散領域 |
| 7                        | 保護絶縁膜               |
| 8                        | サイドウォール絶縁膜          |
| 9                        | ボロンイオン              |
| 10                       | 第3のゲート電極            |
| 11                       | 二弗化ボロンイオン           |
| 12                       | ホウ素不純物注入層           |
| 21, 22, 24, 24a, 26, 26a | エネルギーバンド            |
| 105                      | n <sup>-</sup> 拡散領域 |

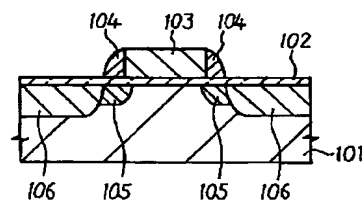
【図1】



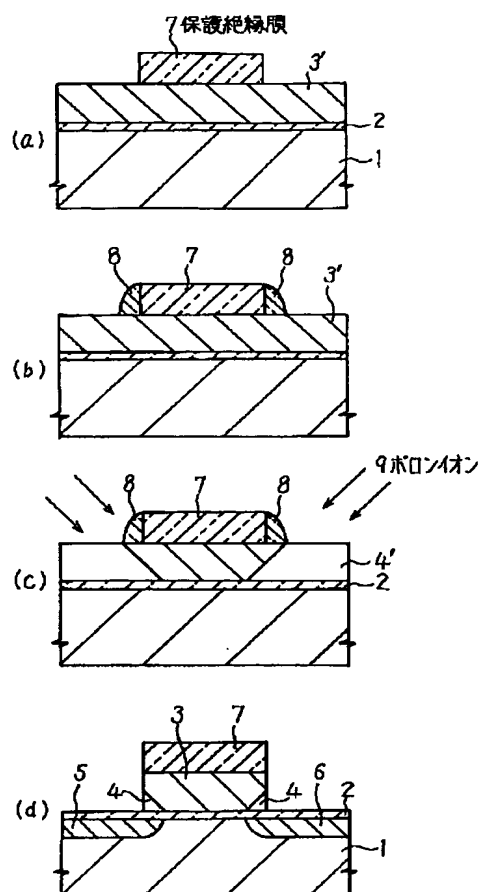
【図3】



【図6】



【図 2】



【図 4】

